



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0013716  
Application Number

출 원 년 월 일 : 2003년 03월 05일  
Date of Application MAR 05, 2003

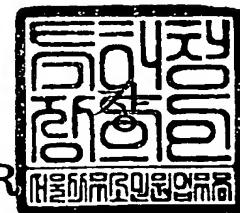
출 원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 22 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.03.05
【발명의 명칭】	반도체소자의 제조방법
【발명의 영문명칭】	Method for fabricating semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	진승우
【성명의 영문표기】	JIN, Seung Woo
【주민등록번호】	670503-1167526
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대사원아파트 107동 105호
【국적】	KR
【발명자】	
【성명의 국문표기】	이태혁
【성명의 영문표기】	LEE, Tae Hyeok
【주민등록번호】	710607-1010025
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 101동 404호
【국적】	KR
【발명자】	
【성명의 국문표기】	김봉수
【성명의 영문표기】	KIM, Bong Soo

【주민등록번호】	721101-1037529		
【우편번호】	143-222		
【주소】	서울특별시 광진구 중곡동 50-36		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 강성배 (인)		
【수수료】			
【기본출원료】	11	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	10	항	429,000 원
【합계】	458,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체소자의 제조방법에 관한 것으로, 반도체기판상에 게이트라인을 형성한 후 상기 게이트라인 양측의 반도체기판내에 접합영역을 형성하는 단계; 상기 결과물의 상부에 층간절연막을 형성한 후 상기 층간절연막을 선택적으로 제거하여 상기 접합영역을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀을 포함한 결과물의 상부에 플러그를 형성하는 단계; 및 상기 플러그에 이온주입한 후 상기 접합영역을 어닐링하는 단계를 포함하여 구성된다.

**【대표도】**

도 1b

**【명세서】****【발명의 명칭】**

반도체소자의 제조방법{Method for fabricating semiconductor device}

**【도면의 간단한 설명】**

도 1a 및 도 1b는 본 발명의 바람직한 실시예에 따른 반도체소자의 제조방법을 도시한  
공정별 단면도.

(도면의 주요부분에 대한 부호설명)

100 : 실리콘기판 110 : 소자분리막

120 : 게이트 130 : 스페이서

140a : 비트라인 콘택 140b : 스토리지노드 콘택

150a : 비트라인 콘택플러그 150b : 스토리지노드 콘택플러그

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체소자의 제조방법에 관한 것으로, 보다 상세하게는 반도체소자의 셀 전류를 개선시키는 반도체소자의 제조방법에 관한 것이다.

<8> 일반적으로 반도체소자의 특성중에서 셀 전류는 tWR 마진실패와 관련 있는 것으로, 이러한 tWR 마진이 부족한 경우 저장된 정보의 라이트 마진이 부족하여 라이트 실패가 발생한다.

<9> 종래에는 플러그의 농도를 증가시켜 셀 전류를 개선시키는 방법을 이용하거나, 플러그를 증착한 후 추가로 이온주입공정을 진행하여 셀 전류를 증가시키는 방법을 이용하였다.

<10> 이러한 종래기술에서는 플러그를 형성하기 전에 급속 열어닐링(RTA : Rapid Thermal Annealing)공정을 진행하기 때문에 상기 플러그로 부터의 외확산 효과가 미소하였으며, 이에 따라 셀 전류의 증가도 역시 미소하였다.

<11> 또한, 셀 전류를 증가시키기 위해 플러그 형성후 이온주입공정을 진행하기도 하였으나, 후속의 열 공정이 저온에서 진행되어 셀 전류 증가에 미치는 효과 역시 미소하였다.

#### 【발명이 이루고자 하는 기술적 과제】

<12> 즉, 디바이스가 미세화됨에 따른 채널 도핑농도가 증가됨에 따라 종래 방법으로는 셀 전류를 증가시키는데 한계를 나타내고 있는 상황이다.

<13> 또한, 110nm 디바이스를 개발함에 있어서 종래 방법으로는 제품에서 요구하는  $37\mu\text{A}$ 이하의 셀 전류 요구조건을 만족시키지 못하고  $25\mu\text{A} \sim 30\mu\text{A}$ 의 셀 전류 밖에 확보하지 못하여 tWR 실패 비트가 수천 비트씩 발생하는 문제점이 있다.

<14> 따라서, 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 플러그를 형성한 후에 급속 열어닐링공정을 진행함으로써, 셀 전류를 증가시키고 tWR 비트실패를 감소시키는 반도체소자의 제조방법을 제공함에 그 목적이 있다.

### 【발명의 구성 및 작용】

<15> 상기 목적을 달성하기 위한 본 발명은, 반도체기판상에 게이트라인을 형성한 후 상기 게이트라인 양측의 반도체기판내에 접합영역을 형성하는 단계; 상기 결과물의 상부에 층간절연막을 형성한 후 상기 층간절연막을 선택적으로 제거하여 상기 접합영역을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀을 포함한 결과물의 상부에 플러그를 형성하는 단계; 및 상기 플러그에 이온주입한 후 상기 접합영역을 어닐링하는 단계를 포함하여 구성됨을 특징으로 한다.

<16> (실시예)

<17> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

<18> 도 1a 및 도 1b는 본 발명의 바람직한 실시예에 따른 반도체소자의 제조방법을 도시한 공정별 단면도이다.

<19> 먼저, 도 1a에 도시된 바와 같이, 실리콘기판(100)내에 소자분리막(110)을 제공한 후 실리콘기판(100)상에 게이트라인(120)을 형성한다.

<20> 그 다음, 상기 게이트라인(120)의 양측에 스페이서(130)를 형성한 후, 이온주입공정을 진행하여 비트라인콘택(140a)과 스토리지노드콘택(140b)을 형성한다.

<21> 이때, 급속 열어닐링공정은 진행하지 않는다.

<22> 이어서, 상기 결과물의 전체상부에 층간절연막(미도시)을 형성한 후, 상기 비트라인콘택(140a)과 스토리지노드콘택(140b) 상면이 노출되도록 상기 게이트라인(120)사이 층간절연막을

선택적으로 식각하여 상기 충간절연막내에 비트라인 콘택홀(미도시)과 스토리지노드 콘택홀(미도시)을 형성한다.

<23> 그 다음, 상기 결과물의 전체상부에 플러그용 폴리실리콘층을 형성한 후 이를 에치백공정 또는 CMP공정에 의해 평탄화하여 상기 비트라인 콘택홀과 스토리지노드 콘택홀내에 비트라인 콘택플러그(150a)와 스토리지노드 콘택플러그(150b)를 형성한다.

<24> 여기서, 상기 콘택플러그 형성 후에 산화막 또는 질화막등의 절연막 형성공정에 의해 후속 분리막(미도시)을 형성할 수도 있다.

<25> 이어서, 도 1b에 도시된 바와 같이, 상기 콘택플러그(150a)(150b)를 포함한 결과물의 전체상부에 플러그 이온주입공정을 진행한 후, 상기 비트라인 콘택(140a)과 상기 스토리지노드 콘택(140b)에 급속 열어닐링공정을 진행한다.

<26> 여기서, 상기 플러그 이온주입공정은 소스가스로 31P 또는 75As를 이용하며, 이온주입에너지는 10~40KeV이며, 도즈량은 1.0E15~1.0E16 범위내이다.

<27> 그리고, 상기 급속 열어닐링공정은 850~1100°C 온도범위, 10~60sec 시간범위, 10~200°C/s의 램프-업 비율과 10~200°C/s의 램프-다운 비율, 그리고 N<sub>2</sub>, O<sub>2</sub>, N<sub>2</sub> 및 O<sub>2</sub> 혼합가스, Ar, NH<sub>3</sub> 또는 N<sub>2</sub>O 가스분위기에서 수행한다.

<28> 또한, 상기 후속 분리막을 형성하는 경우 상기 플러그 이온주입공정은 10~80KeV의 이온주입에너지를 제외한 동일한 조건에서 수행하며, 상기 급속 열어닐링공정은 상기 후속 분리막을 형성한 후 동일한 조건에서 수행하거나 또는 콘택플러그(150a)(150b)를 형성한 후 금속콘택마스크공정 전에 동일한 조건에서 수행한다.

<29> 한편, 플러그 이온주입공정 이후에 급속 열어닐링공정을 진행한 본 발명의 첫번째 실시 예와 달리, 본 발명의 다른 실시예에서는 상기 콘택플러그(150a)(150b)를 포함한 결과물의 전체상부에 급속 열어닐링공정을 진행한 후, 플러그 이온주입공정을 진행할 수도 있다.

<30> 여기서, 상기 급속 열어닐링공정은 850~1100°C 온도범위, 10~60sec 시간범위, 10~200°C/s 램프-업 비율과 10~200°C/s 램프-다운 비율로 N<sub>2</sub>, O<sub>2</sub>, N<sub>2</sub> 및 O<sub>2</sub> 혼합가스, Ar, NH<sub>3</sub>, 또는 N<sub>2</sub>O 가스분위기에서 수행한다.

<31> 또한, 상기 플러그 이온주입공정은 소스가스로 31P 또는 75As를 이용하고, 이온주입에너지는 10~40KeV, 도즈량은 1.0E15~1.0E16 범위이다.

<32> 그 다음, 상기 플러그 이온주입공정을 진행한 후 퍼니스 어닐링을 600~800°C 온도범위와 막증착시 온도범위에서 수행하여 이온주입된 불순물의 외확산을 수행한다.

<33> 이후의 공정은 종래방법과 동일하므로 설명의 편의상 생략한다.

<34> 한편, 하기 표는 본 발명에 따른 반도체소자의 제조방법에 의해 얻어진 실험 결과이다.

0.11기술	비트라인	본 발명	본 발명
제 1 RTA공정	1017°C/10s	생략	생략
플러그 도핑농도	1.50E+20	1.20E+20	1.00E+20
제 2 RTA공정	생략	생략	988°C/20s
플러그이온주입공정	20K, P, 5.0E15	20K, P, 5.0E15	20K, P, 5.0E15
제 3 RTA공정	생략	988°C/20s	생략
셀 V <sub>t</sub>	0.91V	0.9V	0.9V
셀 전류	33μA	46μA	43μA

### 【발명의 효과】

<36> 상술한 바와 같이, 본 발명은 플러그로 부터의 외확산효과와 플러그 이온주입에 의한 외 확산효과가 합쳐져 종래 대비 최고 80%정도의 셀 전류를 증가시킬 수 있다는 효과가 있다.



9030013716

출력 일자: 2003/10/23

<37> 또한, 110nm 기술에서 종래 대비 40~50% 정도의 셀 전류를 증가시켜 제품에서 요구하는  $37\mu A$ 의 셀 전류요구조건을 만족시키는  $44\mu A$ 의 셀 전류를 확보하였고, 이에 따라 셀 전류마진 부족에 따른 tWR 실패는 종래의 수천 비트에서 10~50비트, 8ns이하의 tWR 요구조건을 만족시키는 5~7ns의 tWR 특성을 확보할 수 있다는 효과가 있다.

<38> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

**【특허청구범위】****【청구항 1】**

반도체기판상에 게이트라인을 형성한 후 상기 게이트라인 양측의 반도체기판내에 접합영역을 형성하는 단계;

상기 결과물의 상부에 층간절연막을 형성한 후 상기 층간절연막을 선택적으로 제거하여 상기 접합영역을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀을 포함한 결과물의 상부에 플러그를 형성하는 단계; 및

상기 플러그에 이온주입한 후 상기 접합영역을 어닐링하는 단계를 포함하여 구성된 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 2】**

제 1 항에 있어서, 상기 어닐링공정은 급속 열어닐링공정(RTA)인 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 3】**

제 1 항에 있어서, 상기 이온주입공정은 상기 어닐링공정 이후에 진행하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 4】**

제 3 항에 있어서, 상기 이온주입공정 이후에 퍼니스 어닐링공정을 추가로 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 5】**

제 4 항에 있어서, 상기 퍼니스 어닐링공정은 600 내지 800°C 온도범위에서 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 6】**

제 1 항 또는 제 3 항에 있어서, 상기 이온주입공정은 P 또는 As 소스가스를 이용하여 10 내지 40KeV 이온주입에너지와 1.0E15 내지 1.0E16 도즈량으로 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 7】**

제 1 항 또는 제 3 항에 있어서, 상기 어닐링공정은 850 내지 1100°C 온도에서 10 내지 60초 동안, 10 내지 200°C/s의 램프-업 비율과 10 내지 200°C/s의 램프-다운 비율로 N<sub>2</sub>, O<sub>2</sub>, N<sub>2</sub> 및 O<sub>2</sub> 혼합가스, Ar, NH<sub>3</sub> 또는 N<sub>2</sub>O의 가스분위기에서 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 8】**

제 1 항에 있어서, 상기 플러그 상부에 산화막 또는 질화막을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 9】**

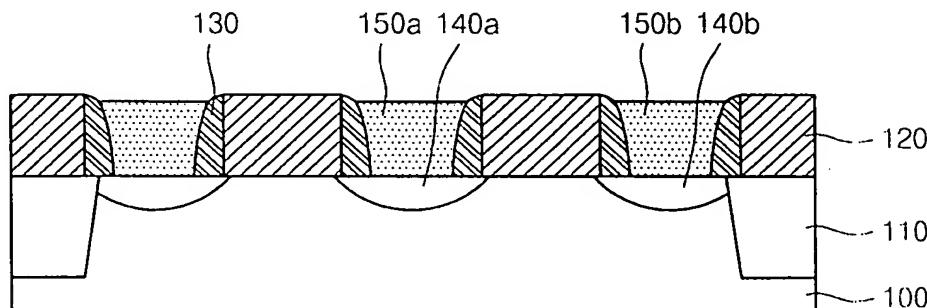
제 1 항 또는 제 8 항에 있어서, 상기 플러그 상부에 에치백공정 또는 CMP공정을 수행하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 10】

제 8 항에 있어서, 상기 산화막 또는 질화막 상부에 P 또는 As 소스가스를 이용하여 10 내지 80KeV 주입에너지와 1.0E15 내지 1.0E16 도즈량으로 이온주입하는 것을 특징으로 하는 반도체소자의 제조방법.

## 【도면】

【도 1a】



【도 1b】

